

# PATENT ABSTRACTS OF JAPAN

2

(11) Publication number : 03-011996

(43) Date of publication of application : 21.01.1991

(51) Int.Cl.

H02P 7/63

(21) Application number : 01-144976

(71) Applicant : SANYO ELECTRIC CO LTD

(22) Date of filing : 06.06.1989

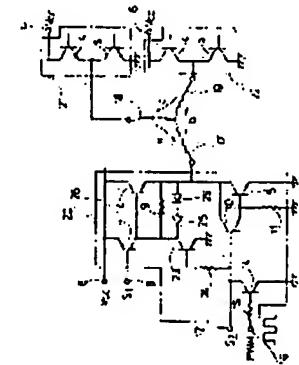
(72) Inventor : SHIMAZAKI TSUTOMU

OUGINO KOUICHIROU

**(54) SPEED CONTROL CIRCUIT OF MOTOR****(57) Abstract:**

**PURPOSE:** To prevent a noise and a temperature rise of respective elements by providing two output transistors connected serially between first and second power supplies and by connecting the input of one transistor of the two output transistors to the second power supply with a switching transistor.

**CONSTITUTION:** Connection points between output transistors (Tr)4, 5 are connected to driving coils 17-19. The base of a switching transistor (STr)23 is connected to an input terminal 12 via a base resistor 24, and the collector-emitter path of STr23 is connected between the base of Tr4 and earth. When Tr5 is in ON state while Tr4 is in OFF state, if STr23 is turned to ON state, the parasitic capacitor between the base and collector of Tr4 is discharged via the collector-emitter path of STr23. Thereby, no current flows through Tr4 and Tr5, so that the noise from power supplies and the temperature rise of elements are prevented, and a motor can be controlled surely.

**LEGAL STATUS****[Date of request for examination]****[Date of sending the examiner's decision of rejection]****[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]****[Date of final disposal for application]****[Patent number]****[Date of registration]****[Number of appeal against examiner's decision of rejection]****[Date of requesting appeal against examiner's decision of rejection]**

2007年4月20日 F16時38分

ITOH INTERNATIONAL PATENT OFFICE

NO. 3293/2 P. 30/35

[Date of extinction of right]

<http://www19.ipdl.ipit.go.jp/PA1/result/detail/main/wAAPvaWs2DA403011996...> 2007/04/20

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平3-11996

⑫Int.CI.<sup>\*</sup>  
H 02 P 7/63

識別記号 廈内整理番号  
302 K 7531-5H

⑬公開 平成3年(1991)1月21日

審査請求 未請求 請求項の数 2 (全5頁)

⑭発明の名称 モータの速度制御回路

⑮特 願 平1-144976  
⑯出 願 平1(1989)6月6日

⑰発 明 者 島 埼 努 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑱発 明 者 尾 野 広 一 郎 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑲出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地  
 ⑳代 理 人 弁理士 西 野 卓 順 外2名

### 明 説 書

#### 1. 発明の名称

モータの速度制御回路

#### 2. 特許請求の範囲

(1) 第1電源と第2電源との間に直列接続された第1及び第2の出力トランジスタと、前記第1の出力トランジスタのオフ時における前記第2の出力トランジスタのオン期間を断続的にオンオフ切換する制御トランジスタとを有する速度制御回路を、モータ内部の多相の各駆動コイル毎に設け、前記各速度制御回路における前記第1及び第2の出力トランジスタの接続点を前記各駆動コイルと接続することによって、モータの速度制御を行なうモータの速度制御回路において、

前記制御トランジスタの出力に基づき、前記第1の出力トランジスタがオフした状態で前記第2の出力トランジスタがオンした時、前記第1の出力トランジスタの入力を前記第2電源に接続するスイッチングトランジスタを、

前記各速度制御回路毎に備えたことを特徴とす

るモータの速度制御回路。

(2) 前記各速度制御回路において、前記第1及び第2の出力トランジスタの接続点と前記第1の出力トランジスタの入力との間にダイオードを接続したことを特徴とする請求項(1)記載のモータの速度制御回路。

#### 3. 発明の詳細な説明

##### (イ) 産業上の利用分野

本発明は、モータの速度制御回路、特にPWM (Pulse Width Modulation) 速度制御を行なうモータの速度制御回路に関するものである。

##### (ロ) 経来の技術

PWM速度制御によってモータを定速回転させる従来回路を、第2図に基づき説明する。

第2図において、(1)(2)(3)は速度制御回路であり、これ等速度制御回路(1)(2)(3)の内部回路は同一である為、前記速度制御回路(1)の内部回路について以下に説明する。(4)(5)は夫々第1及び第2の出力トランジスタであり、これ等の出力トランジスタ(4)(5)のコレクタ・エミッタ路は、

特開平3-11996(2)

電源電圧  $V_{cc}$  (第1電源)が印加される電源端子(6)とアース(第2電源)との間に直列接続されている。ここでトランジスタ(7)のエミッタ・コレクタは夫々前記出力トランジスタ(4)のコレクタ・ベースに接続され、且つ該トランジスタ(7)のベースは入力端子(8)と接続されている為、入力信号  $S_1$  が該入力端子(8)に印加されることによって、前記出力トランジスタ(4)及び前記トランジスタ(7)は動作する。また前記出力トランジスタ(4)のベース・エミッタ間に接続された分流抵抗(9)は、前記トランジスタ(7)のコレクタ出力を分度するものであり、前記トランジスタ(7)のエミッタ・コレクタ間のリーク電流によって前記出力トランジスタ(4)が誤動作するのを防止している。一方、前記出力トランジスタ(5)とゲート・リントン接続されたトランジスタ(10)のエミッタは後述の分流抵抗(11)を介してアースされ、且つ該トランジスタ(10)のベースは入力端子(12)と接続されている為、入力信号  $S_2$  が該入力端子(12)に印加されることによって、前記出力トランジスタ

(5)及び前記トランジスタ(10)は動作する。また前記出力トランジスタ(5)のベース・エミッタ間に接続された分流抵抗(11)は、前記分流抵抗(9)と同様に、前記トランジスタ(10)のコレクタ・エミッタ間のリーク電流によって前記出力トランジスタ(5)が誤動作するのを防止している。(16)は制御トランジスタであり、該制御トランジスタ(14)のコレクタ・エミッタ路が前記入力端子(12)とアースとの間に接続され、且つ該制御トランジスタ(14)のベースがベース抵抗(15)を介して制御端子(16)と接続されており、デューティ比を可変できる制御信号 PWM が該制御端子(16)に印加されることによって、前記制御トランジスタ(14)は動作する。

(17)(18)(19)は、モータ内部の三相の駆動コイルであり、これ等駆動コイル(17)(18)(19)は夫々、前記速度制御回路(1)(2)(3)内部における前記出力トランジスタ(4)(5)の接続点と接続されている。

尚、前記速度制御回路(1)(2)(3)は I C 化され

るものであり、前記速度制御回路(1)(2)(3)内部の同一端子には同一符号を付してある。

第2図において、モータを一方向に回転させるには、駆動コイル(17)(18)(19)に駆動電流を  $a$ ,  $b$ ,  $c$  の矢印方向の順で繰り返し流さなければならない。ここで駆動電流を  $a$ ,  $b$ ,  $c$  の各矢印方向に流す夫々の場合において、各速度制御回路(1)(2)(3)間の動作は一定関係を有している。そこで一例として、駆動コイル(18)(17)に  $a$  方向の駆動電流を流す場合の動作について、以下に説明する。

この場合、駆動コイル(18)(17)に  $a$  方向にのみ駆動電流を流す為、速度制御回路(1)に印加される入力信号  $S_1$ ,  $S_2$  をハイレベル(以下「H」と称す)に設定し、速度制御回路(2)に印加される入力信号  $S_1$ ,  $S_2$  をローレベル(以下「L」と称す)に設定し、更に速度制御回路(3)に印加される入力信号  $S_1$ ,  $S_2$  を夫々「H」, 「L」に設定する。こうすることによって、速度制御回路(1)内部の出力トランジスタ(5)及び速度制御回路(2)

内部の出力トランジスタ(4)のみがオンすることになり、駆動コイル(18)(17)に  $a$  方向の駆動電流が流れることになる。ここで速度制御回路(1)内部において、仮に制御トランジスタ(14)が常時オフ状態であると、出力トランジスタ(5)が飽和状態の為、駆動コイル(18)(17)に  $a$  方向の駆動電流が常時流れてしまい、言い換えればモータを最高回転させることになってしまい、モータを最高回転よりも低い回転数で定速回転させることができない。そこで制御信号 PWM で制御トランジスタ(14)をオンオフすることによって、出力トランジスタ(4)のオフ時における出力トランジスタ(5)のオン可能期間 A ( $a$  方向の駆動電流を流すのに要する時間)を断続的にオンオフ制御し、駆動コイル(18)(17)に  $a$  方向の駆動電流を断続的に流すことによって、モータが最高回転より低い回転数で定速回転できる様にしている。因みに、制御信号 PWM の「L」期間が長くなる様にデューティ比を可変すると、前記オン可能期間 A において出力トランジスタ(5)のオン時間が長く

特開平3-11996(3)

なって△方向の駆動電流が長く流れ、これよりモータの回転数は高くなる。一方、制御信号 PWM の「H」期間が長くなる様にデューティ比を可変すると、前記オン可能期間 A において出力トランジスタ (5) のオン期間が短くなつて△方向の駆動電流が短い期間しか流れなくなり、これよりモータの回転数は低くなる。即ち、制御信号 PWM のデューティ比を変えてモータの回転数を制御することが、PWM速度制御なのである。

尚、第2図の回路は、OA機器等のモータの制御に使用される。

(n) 発明が解決しようとする課題

しかしながら、前記従来の技術において、出力トランジスタ (4) のオフ時に、制御信号 PWM が「H」から「L」に立下がつて出力トランジスタ (5) がオンする場合、該出力トランジスタ (5) がオンすると同時に、出力トランジスタ (4) のエミッタ電位はアース電位まで下降するが、該出力トランジスタ (4) のベース電位は該出力トランジスタ (4) のベース・コレクタ間の寄生容量と分担抵抗 (9)

より生じる時定数によって直ちに下降できない。従って出力トランジスタ (5) がオンした瞬間、出力トランジスタ (4) のベース・エミッタ間に該出力トランジスタ (4) をオンするのに十分な電位差が生じてしまい、出力トランジスタ (4)(5) のコレクタ・エミッタ路を貫通電流（大電流）が流れてしまうことになる。これより電源電圧の変動に伴なつて電源ライン (26) にノイズが重畠したり、各素子の温度が上昇して各素子の特性を十分に活かせなくなつたりしてしまう問題点があつた。

(o) 課題を解決するための手段

本発明は前記問題点を解決するために為されたものであり、第1電源と第2電源との間に直列接続された第1及び第2の出力トランジスタと、前記第1の出力トランジスタのオフにおける前記第2の出力トランジスタのオン期間を断続的にオンオフ制御する制御トランジスタとを有する速度制御回路を、モータ内部の多相の各駆動コイル毎に設け、前記各速度制御回路における前記第1及び第2の出力トランジスタの接続点を前記各駆動

コイルと接続することによって、モータの速度制御を行なうモータの速度制御回路において、

前記制御トランジスタの出力に基づき、前記第1の出力トランジスタがオフした状態で前記第2の出力トランジスタがオンした時、前記第1の出力トランジスタの入力を前記第2電源に接続するスイッチングトランジスタを、前記各速度制御回路毎に備えたことを特徴とする。

(p) 作用

本発明によれば、制御トランジスタの出力に基づき、第1の出力トランジスタがオフした状態で第2の出力トランジスタがオンした時、第1の出力トランジスタの入力を第2電源に接続するスイッチングトランジスタを、各速度制御回路毎に設けた為、第1及び第2の出力トランジスタを貫通電流が流れなくなる。

(q) 実施例

本発明の詳細を図示の実施例により具体的に説明する。

第1図において、(20)(21)(22)はIC化される

同一構成の速度制御回路であり、これ等速度制御回路 (20)(21)(22) 内部における出力トランジスタ (4)(5) の接続点は、矢印駆動コイル (17)(18)(19) と接続されている。尚、速度制御回路 (20)(21)(22) はワンチップのICにすることも可能である。

ここで速度制御回路 (20)(21)(22) の内部回路は同一である為、速度制御回路 (20) の内部回路のみについて説明すると、(23) はスイッチングトランジスタであり、該スイッチングトランジスタ (23) のベースはベース抵抗 (24) を介して入力端子 (12) と接続され、該スイッチングトランジスタ (23) のコレクタ・エミッタ路は出力トランジスタ (4) のベースとアースとの間に接続されている。そして入力信号 S<sub>1</sub> を「H」にした状態での制御信号 PWM に応じて、前記スイッチングトランジスタ (23) は動作する。具体的には、入力信号 S<sub>1</sub> が「H」且つ制御信号 PWM が「L」の時、前記スイッチングトランジスタ (23) はオンし、また入力信号 S<sub>1</sub> が「H」且つ制御信号 PWM が「H」の時に前記スイッチングトランジスタ (23) はオフする。(25)

特開平3-11996(4)

は、前記出力トランジスタ(4)のベース・エミッタ間に接続されたダイオードであり、カソードは前記出力トランジスタ(4)のベースと接続され、アノードは前記出力トランジスタ(4)のエミッタと接続されている。尚、第2図と同一素子には同一符号を付してある。

以下、第2図の説明と同様に、駆動コイル(18)(17)にa方向の駆動電流を流す時のみについて説明する。つまり速度制御回路(20)内部において、入力信号S<sub>1</sub>, S<sub>2</sub>が「H」の為、出力トランジスタ(4)はオフ、出力トランジスタ(5)は制御信号PWMに応じてオンオフ制御される状態にある。

ここで制御信号PWMが「H」から「L」に立下り、制御トランジスタ(14)のオフに伴なって出力トランジスタ(5)がオンした場合、該出力トランジスタ(5)のオンと同時に、出力トランジスタ(4)のエミッタ電位はアース電位まで下降することになる。ところが、制御信号PWMが「H」から「L」に立下りると、制御トランジスタ(14)のオフに伴なってスイッティングトランジスタ(23)

がオンする為、出力トランジスタ(4)のベース・コレクタ間の寄生容量はスイッティングトランジスタ(23)のコレクタ・エミッタ路を介してディスクレーチャージされることになる。従って、制御信号PWMが立下りて出力トランジスタ(5)がオンしても、出力トランジスタ(4)のベース・エミッタ間には該出力トランジスタ(4)をオンさせるだけの電位差は生じなくなり、出力トランジスタ(4)(5)のコレクタ・エミッタ路を貫通電流は流れなくなる。これより、電源ライン(26)にノイズが重複せず、且つICの内部温度の上昇を防止でき、モータの正確な速度制御が可能となる。

また制御信号PWMが「L」から「H」に立上がり、制御トランジスタ(14)のオンに伴なって出力トランジスタ(5)がオフした場合、該出力トランジスタ(5)のオフによって、駆動コイル(18)(17)にa方向の駆動電流を流すための経路がなくなってしまい、出力トランジスタ(4)のベース電位及びエミッタ電位が上昇することになる。ところが、出力トランジスタ(4)のベース・コレクタ

間の寄生容量と分流抵抗(9)の抵抗値とで生じる時定数によって、出力トランジスタ(4)のベース電位はエミッタ電位よりも上昇速度が遅い為、出力トランジスタ(4)に逆バイアスがかかり、出力トランジスタ(4)を破壊してしまう恐れがある。そこで本実施例に示す様に、出力トランジスタ(4)のベース・エミッタ間にダイオード(25)が設けられており、このダイオード(25)の順方向電圧によって、出力トランジスタ(4)のベース電位が、前記寄生容量と分流抵抗(9)の抵抗値とで生じる時定数よりも早く上昇する様にし、出力トランジスタ(4)の破壊を防止している。尚、出力トランジスタ(4)を破壊しない程度の逆バイアスが該出力トランジスタ(4)に与えられる様に、直列接続されるダイオード(25)の數は選択されている。

更に制御信号PWMが「H」から「L」に立下り、制御トランジスタ(14)のオフに伴なって出力トランジスタ(5)がオンする前述の場合、素子の特性上、出力トランジスタ(5)よりもスイッチ

ングトランジスタ(23)の方が僅かに早くオンする為、この場合も出力トランジスタ(4)には逆バイアスが与えられるが、ダイオード(25)によって出力トランジスタ(4)の破壊は防止されることになる。

以上より、制御信号PWMの立下りが時においても貫通電流は流れず、また制御信号PWMの立上がり及び立下り時においても出力トランジスタ(4)の破壊は防止され、モータを確実に速度制御できることになる。

#### (+) 発明の効果

本発明によれば、制御トランジスタの出力に基づき、第1の出力トランジスタがオフした状態で第2の出力トランジスタがオンした時、第1の出力トランジスタの入力を第2電源に接続する様にした為、第1及び第2の出力トランジスタを貫通電流が流れなくなり、これより電源ノイズの重複や素子温度の上昇を防止でき、モータを確実に速度制御できる等の利点が得られる。

#### 4. 図面の簡単な説明